



**DEUTSCHES
PATENT- UND
MARKENAMT**

Offnungsschrift
DE 100 37 477 A 1

Int. Cl.⁷:
H 04 L 7/04
G 06 F 1/12

(21) Aktenzeichen: 100 37 477.8
 (22) Anmeldetag: 1. 8. 2000
 (43) Offenlegungstag: 14. 2. 2002

(71) Anmelder:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Wilhelm & Beck, 80636 München

72 Erfinder:
Zielbauer, Jürgen, Dr., 81737 München, DE

⑤⑤ **Entgegenhaltungen:**
DE 196 25 219 C1
JP 05-1 28 061 A

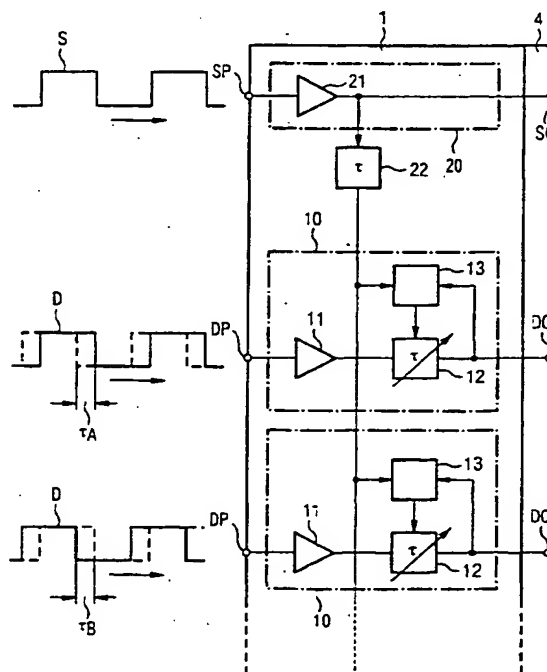
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Der Inhalt dieser Schrift weicht von den am Anmeldetag eingereichten Unterlagen ab

Prüfungsantrag gem. § 44 PatG ist gestellt

54) Anordnung und Verfahren zum Kalibrieren einer Schnittstelle für mehrkanalige synchronisierte Datenübertragung

(57) Die Erfindung betrifft eine Schnittstelle (1), die parallele Transferkanäle (10) zur Übertragung einer Mehrzahl von parallelen Datensignalen (D) und gegebenenfalls Kommandosignalen zwischen zugeordneten äußeren Anschlüssen (DP) und zugeordneten Schaltungspunkten (DQ) einer elektronischen Baugruppe (4) enthält und mindestens einen Synchronsignalanschluss (SP) für ein die Zeitbasis für die parallel übertragenen Signale angeben- des Synchronsignal (S) aufweist. Erfindungsgemäß ent- halten ausgewählte Exemplare (10) der Transferkanäle je- weils eine individuell regelbare Verzögerungseinrichtung (12) zum Einstellen einer Zeitverzögerung der Signalüber- tragung im betreffenden Transferkanal. Ferner ist eine Steuereinrichtung (13, 22) vorgesehen, um in jedem aus- gewählten Transferkanal (10) den Istwert der relativen Phase des von der Verzögerungseinrichtung verzögerten Signals gegenüber dem zugeordneten begleitenden Syn- chronsignal (S) zu fühlen und jede der Verzögerungsein- richtungen (12) abhängig vom jeweils gefühlten Istwert im Sinne einer Angleichung des Istwertes an einen vorge- gebenen gemeinsamen Sollwert zu regeln.



[0001] Die Erfindung betrifft eine Anordnung zum Kalibrieren einer Schnittstelle für synchronisierte Datenübertragung gemäß dem Oberbegriff des Patentanspruchs 1. Gegenstand der Erfindung ist ferner ein Kalibrierverfahren unter Verwendung einer derartigen Anordnung. Bevorzugtes, jedoch nicht ausschließliches Anwendungsgebiet der Erfindung sind Schnittstellen zur Datenkommunikation zwischen schnellen digitalen Informationsspeichern und zugehörigen Controllern.

[0002] Beim Empfang binärcodierter digitaler Daten wird die Folge der ankommenden Datenbits üblicherweise mit einer der Bitrate entsprechenden Frequenz in der empfangenden Baugruppe abgetastet. Das hierfür verwendete Abtastsignal muss nicht nur in seiner Frequenz sondern auch in seiner Phase auf den Takt der empfangenen Bits abgestimmt sein, derart daß die Abtastzeitpunkte möglichst mitten in die Bitperioden treffen bzw. nicht zu nahe an den Bitgrenzen liegen, wo die zuverlässige Erfassung des gültigen Binärwertes nicht mehr garantiert ist. Diese Phasensynchronisierung muss hinsichtlich des absoluten Zeitmaßes umso präziser sein, je höher die Bitrate ist.

[0003] Eine Synchronisierung der empfangsseitigen Abtastung mit dem Takt der ankommenden Datenbits kann erfolgen, indem man das empfangsseitig erzeugte Abtastsignal aus der selben Taktquelle ableitet, die auf der Sendeseite den Takt der gesendete Bitfolge bestimmt. Zu berücksichtigen sind hierbei jedoch eventuelle Unterschiede in den Laufzeiten, welche die Taktsignale auf den Wegen von der gemeinsamen Quelle zur Sendeseite einerseits und zur Empfangsseite andererseits erfahren. Ferner ist die Laufzeit der Daten von der Sendeseite zur Empfangsseite zu berücksichtigen. Nur wenn diese Laufzeitparameter bekannt sind oder ausreichend genau reproduziert werden können, lassen sich geeignete Maßnahmen zur genauen Synchronisierung des empfangsseitig erzeugten Abtastsignals treffen. Im allgemeinen ist dies aber bei Bitraten oberhalb 100 MHz kaum oder nur schwer möglich. Bei höheren Bitraten in der Größenordnung 200 MHz (und mehr) nutzt man daher bevorzugt andere Methoden der Abtastsynchronisierung, bei denen eine Zeitbasis für das Abtastsignal, welches auf der Empfangsseite zur Abtastung der Datenbits dienen soll, als Synchronsignal parallel mit den Daten innerhalb des selben Leitungsbündels von der Sendeseite zur Empfangsseite gesendet wird.

[0004] Eine dieser Methoden besteht darin, das zu sendende Synchronsignal taktgleich mit den zu sendenden Datenbits zu erzeugen. Hierzu wird auf Sendeseite eine Bitfolge simuliert, in welcher die beiden Binärwerte entsprechend der Bitrate der zu sendenden Daten alternieren, mit den gleichen Taktflanken und in gleicher Weise wie die zu sendende Datenbitfolge. Die Flanken des so gebildeten "Strobesignals" sind bei ordnungsgemäßer Funktion zeitlich koinzident mit den Bitgrenzen der Datenbitfolge und kommen auch zeitgleich mit ihnen an der Empfangsseite an; sie können somit, vorzugsweise nach Durchlaufen einer Verzögerung gleich der Hälfte der Bitperiode, unmittelbar zur empfangsseitigen Datenabtastung herangezogen werden. Diese Methode eignet für unidirektionale Datenverbindungen, sie kann aber auch für bidirektionale Verbindungen angewendet werden, indem man beide Seiten mit jeweils einer eigenen Taktquelle und jeweils einer eigenen Schaltung zur Erzeugung des an die andere Seite zu sendenden Strobesignals versieht.

[0005] Eine andere, nur für bidirektionale Verbindungen geeignete Methode besteht darin, ein Taktsignal, das auf einer ersten Seite kontinuierlich erzeugt und dort zur Abta-

stung der Sendedaten verwendet wird, als Synchronsignal über eine erste Taktleitung an die Gegenseite zu senden und dort auch zur Empfangsabtastung sowie zur Sendeabtastung zu verwenden. Dieses an der Gegenseite eintreffende Taktsignal wird außerdem dort reflektiert und über eine zweite Taktleitung zurück zur ersten Seite übertragen, wo es zur dortigen Empfangsabtastung verwendet wird.

[0006] Die vorstehend erwähnten Methoden haben sich bewährt für Datenkommunikation mit doppelter Datenrate, bei welcher die Datenbits mit der doppelten Frequenz des Taktsignals aufeinanderfolgen, also sowohl mit der ansteigenden als auch mit der fallenden Flanke des Taktsignals abgetastet werden. Sie werden angewendet zum Datenaustausch zwischen einem Speichercontroller und schnellen dynamischen RAM-Speichern, z. B. zur Realisierung verschiedener, unter den Kurzbezeichnungen DDRAM (Double Data Rate Dynamic RAM), RDRAM (Rambus Dynamic RAM) und SDRAM (SynchLink Dynamic RAM) bekannter Speichersysteme.

[0007] Da die technische Entwicklung nach immer höheren Taktfrequenzen strebt (derzeit bis 400 MHz), werden die Anforderungen an die Genauigkeit der Hardwarekomponenten zunehmend strenger. Die somit engeren Toleranzgrenzen führen bei den unvermeidlichen Produktionsschwankungen zu vermehrtem Ausschuss. Trotz Mitübertragung eines begleitenden Synchronsignals im Betrieb kann es nämlich infolge solcher Produktionsschwankungen vorkommen, dass das richtige Timing zwischen dem zur Abtastung benutzten Signal und den Datenbits verfehlt wird.

[0008] Um dieses Problem zu lindern, sind verschiedene Maßnahmen bekannt zur nachträglichen Kalibrierung einer hergestellten Datenverbindung zwischen einem Speicher und dem Speichercontroller in der speicherseitigen Schnittstelle. Eine dieser Maßnahmen für SDRAMs besteht darin, durch wiederholtes Schreiben und Lesen durch den Speichercontroller zu überprüfen, ob das Timing des Speicherbausteins korrekt ist. Bei Bedarf lädt der Controller SDRAM-interne Register, mit denen das Timing grob verändert werden kann (vgl. "Draft Standard for a High-Speed Memory Interface (SynchLink)", Draft 0.99 IEEE P1596.7-199X). Diese Kalibrierung kann nur in relativ großen Zeitschritten erfolgen, sie lässt sich nicht für die unidirektionalen Kommandosignale (z. B. die Reihen- und Spalten-Auswahlsignale) vornehmen und kann nur global einheitlich für die gesamte Gruppe aller Datensignale durchgeführt werden.

[0009] In Verbindung mit RDRAMs ist es bekannt, eine Kalibrierung zum Zeitpunkt des Wafertests vorzunehmen, indem das Gesamt-Timing für Gruppen zusammengehöriger Signale durch Schaltungsveränderung mittels Fuse-Technik einmalig festgelegt wird (d. h. durch Trennen von galvanischen Verbindungen auf dem Chip durch Verdampfen). Der Wafertest kann jedoch nicht bei den im späteren Einsatz notwendigen Frequenzen stattfinden (ca. 200-400 MHz), außerdem ist hierbei der Einfluss des später vorzusehenden Gehäuses auf die Signallaufzeiten nicht beobachtbar. Somit ist diese Kalibrierung nicht exakt auf den späteren Nutzbetrieb abgestimmt.

[0010] Aufgabe der vorliegenden Erfindung ist die Schaffung technischer Mittel, die eine hochgenaue zeitliche Signalkalibrierung bei synchronisierter Datenkommunikation zwischen elektronischen Baugruppen gestatten, unter Berücksichtigung der tatsächlichen Einsatzbedingungen. Diese Aufgabe wird erfindungsgemäß durch die im Patentanspruch 1 beschriebene Anordnung und durch das im Patentanspruch 9, 13 oder 15 beschriebene Verfahren gelöst. Vorteilhaft Ausgestaltungen der Erfindung sind in den Unter-

ansprüchen gekennzeichnet.

[0011] Demnach ist die erfindungsgemäße Anordnung ausgelegt zum Kalibrieren einer Schnittstelle, die parallele Transferkanäle zur Übertragung einer Mehrzahl von parallelen Datensignalen und gegebenenfalls Kommandosignalen zwischen zugeordneten äußeren Anschlüssen und zugeordneten Schaltungspunkten einer elektronischen Baugruppe enthält und mindestens einen Synchronsignalanschluss für ein die Zeitbasis für die parallel übertragenen Signale angegebendes Synchronsignal aufweist. Erfindungsgemäß enthalten ausgewählte Exemplare der Transferkanäle jeweils eine individuell regelbare Verzögerungseinrichtung zum Einstellen einer Zeitverzögerung der Signalübertragung im betreffenden Transferkanal abhängig von einem Verzögerungs-Stellsignal, und es ist eine Steuereinrichtung vorgesehen, die Mittel enthält, um in jedem ausgewählten Transferkanal den Istwert der relativen Phase des von der Verzögerungseinrichtung verzögerten Signals gegenüber dem zugeordneten begleitenden Synchronsignal zu fühlen, und Mittel zur Erzeugung des Verzögerungs-Stellsignals abhängig vom jeweils gefühlten Istwert zum Regeln jeder der Verzögerungseinrichtungen im Sinne einer Angleichung des Istwertes an einen vorgegebenen gemeinsamen Sollwert.

[0012] Ein erfindungsgemäßes Kalibrierverfahren unter Verwendung dieser Anordnung ist dadurch gekennzeichnet, dass vor Beginn eines Nutzbetriebs der Schnittstelle oder in Pausen des Nutzbetriebs die Steuereinrichtung vorübergehend eingeschaltet wird und dass die Quelle, welche die über die ausgewählten Transferkanäle zu übertragenden Signale liefert, während des eingeschalteten Zustandes der Steuereinrichtung veranlasst wird, diese Signale jeweils als ein Mustersignal mit Signalübergängen zu erzeugen, die der Zeitbasis eindeutig zuzuordnen sind.

[0013] Eine alternative Ausführungsform des Verfahrens ist dadurch gekennzeichnet, dass während des Nutzbetriebs der Schnittstelle die Steuereinrichtung für Exemplare der ausgewählten Transferkanäle jeweils während Intervallen eingeschaltet wird, in denen die über die betreffenden Transferkanäle zu übertragenden Signale Übergänge haben, die der Zeitbasis eindeutig zuzuordnen sind.

[0014] Die Erfindung gestattet es, jeden der parallelen Datenkanäle, die in einer mehrkanaligen synchronisierten Datenverbindung zwischen zwei Baugruppen vorhanden sind, individuell zu kalibrieren. Somit können auch eventuelle Phasenunterschiede zwischen den Datenkanälen ausgeglichen werden. Solche Unterschiede können sich ergeben durch unvermeidliche, produktionsbedingte Verschiedenheiten zwischen den parallelen Schaltgliedern, die auf der Sendeseite zur Abtastung der parallelen Datenbits verwendet werden, und durch Laufzeitunterschiede zwischen den parallelen Übertragungsleitungen von der Sende- zur Empfangsseite. Bisher mussten die Toleranzgrenzen für diese Unterschiede so eng bemessen werden, dass selbst bei Kumulation der Unterschiede ein kritisches Maß nicht überschritten wurde. Das heißt, es musste sichergestellt werden, dass die Differenz zwischen den Phasen des "frühesten" und des "spätesten" Datenbitstroms auf der Empfangsseite, addiert mit der möglichen Schwankungsbreite des Synchronsignalphase, nicht größer werden konnte als der zeitliche Spielraum, der innerhalb einer Bitperiode zur eindeutigen Abtastung des Datenbits zur Verfügung steht. Bei Transfergeschwindigkeiten entsprechend einer Frequenz von z. B. 400 MHz bedeutet dies, dass die Phasenunterschiede zwischen den Datenkanälen bisher nur einige 10 Picosekunden (ps) betragen dürfen.

[0015] Mit Anwendung der Erfindung können, bei vorgegebener Transfergeschwindigkeit, die Toleranzen hinsichtlich der zeitlichen Genauigkeit bei der Herstellung gelockert

werden, da sich die Auswirkungen von Produktionsschwankungen erfindungsgemäß ausregeln lassen. Somit führen Produktionsschwankungen weit weniger zu Ausschuss als bisher. Alternativ kann die Transfergeschwindigkeit von Daten erhöht werden, da bei der Produktion schnellerer Komponenten nun weniger "Reserven" in die Genauigkeit der Hardware eingeplant werden müssen. Auch können die Spezifikationen für andere Komponenten des Umfeldes der Baugruppe (Platinen, Steckverbinder u. dergl.) entspannt werden, da zugehörige Produktionsschwankungen ebenfalls während des Kalibrierbetriebs ausgeregelt werden. Schließlich können, durch wiederholtes Kalibrieren, temperaturbedingte oder alterungsbedingte Veränderungen von Signallaufzeiten kompensiert werden.

[0016] Die Prinzipien und vorteilhafte Ausgestaltungen der Erfindung werden nachstehend anhand der Zeichnungen näher erläutert, in denen Ausführungsbeispiele dargestellt sind.

[0017] Fig. 1 zeigt eine erfindungsgemäße Anordnung zur Kalibrierung des Empfangsbetriebs in einer ersten Ausführungsform;

[0018] Fig. 2 zeigt eine erfindungsgemäße Anordnung zur Kalibrierung des Empfangsbetriebs in einer zweiten Ausführungsform;

[0019] Fig. 3 zeigt die Anordnung nach Fig. 1 mit zusätzlichen Mitteln zur Kalibrierung des Sendebetriebs.

[0020] Die in der Fig. 1 gezeigte Anordnung bildet eine Schnittstelle 1 mit mehreren parallelen Daten-Transferkanälen (D-Kanäle) 10 zur Übertragung paralleler Datensignale D, die an zugeordneten äußeren Datenanschlüssen ("D-Pins") DP empfangen werden, an zugeordnete Schaltungspunkte DQ einer elektronischen Baugruppe 4. In der Zeichnung sind nur zwei D-Kanäle 10 im Detail dargestellt, stellvertretend für eine in Wirklichkeit meist viel größere Anzahl von Kanälen, die alle gleich aufgebaut sind. Die gezeigte Schnittstelle 1 enthält ferner einen Synchronsignal-Transferkanal (S-Kanal) 20 zur Übertragung eines die Datensignale begleitenden Empfangs-Synchronsignals S, das an einem äußeren Synchronsignal-Anschluss (S-Pin) SP empfangen wird, an einen zugeordneten Schaltungspunkt SQ der Baugruppe 4. Jeder der D-Kanäle 10 der Schnittstelle 1 enthält eine Empfangsschaltung 11, die mit dem betreffenden D-Pin DP verbunden ist, und der S-Kanal 20 enthält eine Empfangsschaltung 21, die mit dem S-Pin SP verbunden ist. Im dargestellten Fall sind die Empfangsschaltungen 11, 21 ungetastete Signalverstärker, z. B. Differenzverstärker.

[0021] Die Baugruppe 4, deren interner Aufbau nicht dargestellt ist, kann irgendeine die empfangenden Datensignale nutzende Schaltung sein, z. B. ein Speicherbaustein wie etwa ein DRAM. Im Betrieb sind die D-Pins DP und der S-Pin SP über ein Bündel zugeordneter Übermittlungsleitungen oder einen Bus mit einer anderen, die "Gegenseite" darstellenden Baugruppe verbunden, z. B. mit einem Speichercontroller.

[0022] Die Fig. 1 zeigt links die Wellenformen empfangener Signale für den Fall, dass die Gegenseite als Synchronsignal S das Taktsignal sendet, durch welches die Datenbits dort mit doppelter Taktrate abgetastet wurden. Das heißt, im Idealzustand erscheint jede Flanke des Synchronsignals S zeitgleich mit der Mitte eines zugeordneten Bits jedes Datensignals D. Diesen idealen Zustand veranschaulichen die mit durchgehenden Linien gezeichneten Wellenformen der Datensignale D. In der Praxis ist jedoch damit zu rechnen, dass verschiedene Datensignale D in ihrer Phase voneinander abweichen, infolge unvermeidlicher Unterschiede im Zeitverhalten der sendeseitigen Abtastung und der Übermittlungsleitungen. In der Fig. 1 ist mit gestrichelten Linien in den D-Wellenformen der Fall veranschaulicht, dass das

eine Datensignal um ein Zeitmaß τ_A gegenüber der Idealphase nacheilt, und das andere Datensignal um ein Zeitmaß τ_B gegenüber der Idealphase voreilt. Solche Phasenunterschiede können bei Überschreitung eines kritischen Maßes zu Abtastfehlern führen, wenn die empfangenen Daten mittels des empfangenen gemeinsamen Synchronsignals S in der Baugruppe 4 abgetastet werden.

[0023] Um die besagten Phasenunterschiede auszuregulieren, enthält jeder D-Kanal 10 der Schnittstelle 1 eine Einrichtung zur veränderbaren Verzögerung der vom betreffenden Kanal übertragenen Datensignale. In der Anordnung nach Fig. 1 ist die Verzögerungseinrichtung ein regelbares Verzögerungsglied 12, das in Reihe mit der zugeordneten Empfangsschaltung 11 im Datensignalweg zwischen dem betreffenden D-Pin DP und dem zugeordneten Schaltungspunkt DQ der Baugruppe 4 angeordnet ist. Ferner enthält jeder D-Kanal 10 einen Phasendetektor 13, dessen Referenzeingang das empfangene Synchronsignal S vom Ausgang der Empfangsschaltung 21 des S-Kanals 20 über einen Phasenschieber 22 empfängt. Der andere Eingang des Phasendetektors 13 empfängt das verzögerte Datensignal von der Ausgangsseite der Empfangsschaltung 11 und das regelbare Verzögerungsglied 12 enthaltenden Reihenschaltung.

[0024] Der Phasenschieber 22 ist ein Verzögerungsglied, welches auf eine Zeitverzögerung eingestellt (oder einstellbar) ist, die gleich ist der Differenz zwischen der Phase der Flanken des Synchronsignals S und der Sollphase der Flanken der Datensignale D. Im Falle der in Fig. 1 dargestellten Signale (für Abtastung mit doppelter Takt rate und mit Synchronisierersignalfanken in der Mitte der Datenbits) ist diese "systematische" Phasendifferenz vorgegeben als $1/4$ Taktperiode bzw. 90° . Der Phasendetektor 13 in jedem D-Kanal 10 ist so ausgebildet, dass er die Zeitdifferenz zwischen den Flanken seiner beiden Eingangssignale misst und ein entsprechendes Stellsignal an seinem Ausgang erzeugt. Jedes regelbare Verzögerungsglied 12 ist vorzugsweise so ausgebildet, dass seine Verzögerungszeit gegenüber einem mittleren Wert, der gleich einer ganzen Bitperiode (bzw. $1/2$ Taktperiode) ist, wahlweise verkürzt oder verlängert werden kann, abhängig von Betrag und Richtung des vom Phasendetektor 13 erzeugten Fühlsignal, und zwar im Sinne einer Ausregelung der gemessenen Zeitdifferenz auf Null. Die Verstellung der Verzögerungsglieder 12 sollte mit hoher zeitlicher Auflösung möglich sein, z. B. in der Größenordnung von 10 ps im Falle ein Takt rate von 400 MHz. Der Stellbereich der regelbaren Verzögerungsglieder 12 ist mindestens gleich der maximalen Zeitverschiebung zu bemessen, die zwischen verschiedenen Datensignalen D zu erwarten ist. Die Phasenabweichungen τ_A und τ_B werden dann in der gewünschten Weise ausgeregelt.

[0025] Die regelbaren Verzögerungsglieder 12 und die durch die Phasendetektoren 13 und den Phasenschieber 22 gebildete Steuereinrichtung gemäß der Fig. 1 bilden somit eine Anordnung, mit welcher die Schnittstelle 1 für Empfangssignale hochgenau kalibriert werden kann. Im Betrieb regelt sich die Phasendifferenz an den Eingängen jedes Phasendetektors 13 infolge der über das zugeordnete Verzögerungsglied 12 laufenden Rückkopplung selbsttätig auf Null. Hierdurch bekommt jedes durch die Schnittstelle 1 übertragene Datensignal am Schaltungspunkt DQ der Baugruppe 4 die exakt gleiche Phasenlage zum übertragenen Synchronsignal am Schaltungspunkt SQ, festgelegt durch das Phasenmaß (Verzögerungszeit) des Phasenschiebers 22.

[0026] Voraussetzung für den Kalibrierbetrieb ist das Erscheinen einer deterministischen Signalfolge in jedem der empfangenen Datensignale D. Das heißt, in der Wellenform des Datensignals müssen ausreichend Merkmale enthalten sein, die eine Phasendiskriminierung gestatten. Eine hierzu

geeignete Signalfolge kann gewünschtenfalls eigens zu Kalibrierzwecken auf der Gegenseite erzeugt werden, etwa in Form einer mit der Bitrate alternierenden Binärfolge für jedes Datensignal, wie in Fig. 1 als Beispiel dargestellt, also abwechselnd "0" und "1" (Binärfolge 0-1-0-1-...). Es kann aber auch sinnvoll sein, statt dieser Binärfolge andere Bitmuster zu verwenden, um den definitiv vorhandenen Einfluss der Signalfolge mit einzubeziehen, etwa 0-0-1-1-0-0-1-1-... oder 0-0-0-0-0-0-0-0-1-0-0-... Auch aperiodische Muster können sinnvoll sein, etwa eine Pseudo-Zufallsfolge. Die Steuerung der regelbaren Verzögerungsglieder 12 ist vorzugsweise ein- und ausschaltbar, z. B. durch gesonderte Mittel (nicht dargestellt) zur Aktivierung und Deaktivierung der Steuereingänge an diesen Gliedern und zur Verriegelung des gerade eingestellten Verzögerungsmaßes bei erfolgter Deaktivierung.

[0027] Die Fig. 2 zeigt eine Abwandlung der in Fig. 1 dargestellten Anordnung. In der Schnittstelle 2 nach Fig. 2 sind die Empfangsschaltungen 11a der D-Kanäle 10 als sogenannte "latchende" Schaltungen ausgebildet. Diese Schaltungen verwenden die Zeitbasis des empfangenen Synchronsignals S, um die an den D-Pins DP empfangenen Datensignale D in der Mitte der jeweiligen Datenbits abzutasten und den betreffenden Abtastwert an ihrem Ausgang bis zum nächsten Abtastvorgang zu halten, wie es an sich bekannt und z. B. bei Schnittstellen für DDR-RAMs üblich ist. Die Fig. 2 zeigt ferner den Fall, dass das Synchronsignal S ein "Strobesignal" ist, dessen Flanken auf der Sendeseite synchron mit den Bitflanken der Datensignale D erzeugt werden (und nicht, wie in Fig. 1 gezeigt, synchron mit den Mitten der Datenbits).

[0028] Bei Verwendung latchender Empfangsschaltungen in den D-Kanälen der Schnittstelle können die regelbaren Verzögerungsglieder 12 entweder, wie im Falle der Fig. 1, im Datensignalweg in Reihe mit der betreffenden Empfangsschaltung 11a angeordnet werden oder, wie in Fig. 2 gezeigt, in der Latchsignalleitung, über welche das synchronisierende Latchsignal zur Abtastung der Datenbits an die Empfangsschaltung 11a gelegt wird. Gemäß der Fig. 2 wird das Latchsignal aus dem empfangenen Synchronsignal S (Strobesignal) über den Phasenschieber 22 abgeleitet, der an den Ausgang der Empfangsschaltung 21a des S-Kanals 20 angeschlossen ist. Diese Empfangsschaltung 21a ist aus Gründen der Laufzeitangleichung ebenfalls eine latchende Schaltung, vorzugsweise gleicher Bauart wie die Latchschaltungen 11a, nur mit dem Unterschied, dass ihr Steuereingang direkt mit ihrem Signaleingang verbunden ist, um das Strobesignal S unmittelbar im Selbsttakt durchzuschleusen.

[0029] Der Phasenschieber 22 gemäß Fig. 2 bewirkt wie im Falle der Fig. 1 eine 90° -Phasenverzögerung (Zeitverzögerung gleich $1/4$ Periode des Signals S), so dass die Flanken des Latchsignals möglichst koinzident mit den Mitten der abzutastenden Datenbits sind. Der Phasendetektor 13 ist im Falle der Fig. 2 so angeschlossen, dass sein Referenzeingang das empfangene Datensignal D vom betreffenden D-Pin DP erhält, während sein Signaleingang das empfangene Synchronsignal S vom Ausgang der Empfangsschaltung 21a des S-Kanals 21 erhält.

[0030] Wenn an einem D-Kanal 10 der in Fig. 2 gezeigten Schnittstelle 2 der Sollzustand herrscht, d. h. wenn das an diesem Kanal empfangene Datensignal D gleichphasig mit dem am S-Kanal 20 empfangenen Strobesignal S ist, ist die am Phasendetektor 13 gefühlte Phasendifferenz gleich Null, wodurch das Verzögerungsglied 12 auf die Mitte seines Stellbereiches eingestellt wird, die vorzugsweise einer Verzögerungszeit gleich einer Bitperiode ($1/2$ Periode des Signals S) entspricht. Ist die Phase des Datensignals D gegen-

über der Sollphase um τ_A nacheilend oder um τ_B voreilend (wie gestrichelt an der Wellenform D gezeigt) voreilend, dann verkürzt oder verlängert das von Null abweichende Ausgangssignal des Phasendetektors 13 die Verzögerungszeit des regelbaren Verzögerungsgliedes 12 im Sinne einer Kompensation der Nach- oder Voreilung, wie im Falle der Fig. 1. Die Folge dieser Kalibrierung ist, dass auch bei Phasenunterschieden zwischen den verschiedenen empfangenen Datensignalen D alle diese Signale synchron und jeweils zuverlässig in der Mitte ihrer Bits gelatcht werden und somit genau phasengleich an die Baugruppe übertragen werden.

[0031] Für den Fall, dass die Baugruppe 4 auch zum Senden von Datensignalen ausgelegt ist, kann die Schnittstelle mit zusätzlichen Daten-Transferkanälen versehen sein, welche antiparallel zu den empfangenden D-Kanälen 10 angeordnet sind, um die parallelen Bitströme der in der Baugruppe erzeugten Sendedaten an die D-Pins DP zu übertragen. Diese sendenden D-Kanäle brauchen nicht unbedingt mit Mitteln zur Kalibrierung ausgestattet zu sein. Wenn auch die Gegenseite eine Schnittstelle hat, die in ähnlicher Weise wie die Schnittstelle der Baugruppe 4 eine Anordnung zur Kalibrierung des dortigen Empfangsbetriebs enthält, erfolgt eine Kompensation von Phasendifferenzen in beiden Kommunikationseinrichtungen. Kommuniziert die Gegenseite jedoch über einen Bus mit mehr als einer Baugruppe, kann es Probleme geben, denn die Gegenseite kann sich nicht auf mehrere Baugruppen mit ihren individuellen Laufzeitfehlern einkalibrieren. Dies ist z. B. dann der Fall, wenn die Gegenseite als Buscontroller mit mehreren Speicherbausteinen kommunizieren soll.

[0032] Dieses Problem wird umgangen, wenn an jeder der Baugruppen sowohl die empfangenden als auch die sendenden Daten-Transferkanäle kalibrierbar sind. Die Fig. 3 zeigt eine Schnittstelle 3 mit einer diesbezüglichen Anordnung.

[0033] Die Schnittstelle 3 gleicht der Schnittstelle 1 nach Fig. 1 insoweit, als sie eine Mehrzahl empfangender D-Kanäle 10 zur Übertragung empfangener Datensignale von jeweils einem zugeordneten D-Pin DP an die Baugruppe 4 enthält und den S-Kanal 20 für das begleitende, am S-Pin SP empfangene Synchronsignal S aufweist (dieses Signal ist in Fig. 3 nicht eingezeichnet). Von den D-Kanälen 10, die alle einander gleich sind, ist einfachheitshalber nur einer in Fig. 3 gezeigt. Der S-Kanal 20 und jeder D-Kanal 10 ist genau so aufgebaut und mit den gleichen Mitteln zur Kalibrierung verbunden wie im Falle der Fig. 1. Das heißt, die in Fig. 3 gezeigten Elemente 11, 12, 13, 21, 22 arbeiten in der gleichen Weise, wie es oben anhand der Fig. 1 beschrieben wurde, um Phasenunterschiede zwischen den empfangenen Datensignalen zu kompensieren.

[0034] Die Schnittstelle 3 enthält zusätzlich zu jedem empfangenden D-Kanal 10 einen antiparallel dazu angeordneten sendenden D-Kanal 20' zum Übertragen eines zugeordneten Sendedatensignals D' von der Baugruppe zum zugeordneten D-Pin DP. Außerdem ist im Falle der Fig. 3 ein zweiter S-Kanal 20' zur Übertragung eines den zu sendenden Daten zugeordneten Synchronsignals S' vorgesehen. Das Signal S' ist im dargestellten Fall ein Taktsignal, dessen Flanken zeitgleich mit den Mitten der Bits der an den D-Pins DP gesendeten Datensignale D' erscheinen sollen. Die Sendedaten D' sind in der Baugruppe 4 mit Hilfe des Synchronsignals S' synchronisiert worden, das von einem externen Bauteil generiert worden ist, am Anschluss SP empfangen wird und über eine Empfangsschaltung 21' zur Baugruppe 4 geleitet wird, wie z. B. bei der Datenkommunikation in einem RDRAM-Speichersystem üblich. Das Sende-Synchronsignal S' kann aber auch ein in der Baugruppe 4 selbst erzeugtes Signal sein; in diesem Fall wird es an die Gegen-

seite gesendet, so dass statt der Empfangsschaltung 21' eine Sendeschaltung mit umgekehrter Übertragungsrichtung verwendet werden muss. Im Falle einer eindrahigen Synchronisiersignalverbindung zwischen Baugruppe 4 und Gegenseite, wie z. B. bei DDRAM-Speichersystemen mit Strobe-signal-Übertragung üblich, ist nur ein S-Pin SP und ein bidirektionaler S-Kanal vorgesehen. In diesem Fall wäre das Signal für die Referenzeingänge des Phasendetektors 13' über den Phasenschieber 22' von diesem S-Pin abzuleiten.

[0035] Jeder sendende D-Kanal 10' enthält eine Sendeschaltung 11', z. B. ein Differenzverstärker als Treiber, in Reihe mit einem regelbaren Verzögerungsglied 12', dessen Steuereingang mit dem Ausgang eines Phasendetektors 13' verbunden ist. Der Phasendetektor 13' empfängt an seinem Referenzeingang das Synchronsignal S' über einen Phasenschieber 22' und an seinem Signaleingang das gesendete Datensignal D' von D-Pin des betreffenden D-Kanals. Die Sendeschaltung 11', das regelbare Verzögerungsglied 12' und der Phasendetektor 13' haben vorzugsweise die gleichen Charakteristiken wie die Elemente 11, 12 und 13 des empfangenden D-Kanals 10.

[0036] Wie gesagt, sollen die gesendeten Datensignale D' alle eine derartige Phasenlage gegenüber dem Synchronsignal S' haben, dass die Mitten der Datenbits zeitgleich mit den Flanken des Signals S' sind. Dieser anzustrebende Idealzustand ist mit der durchgehend gezeichneten Wellenform des Datensignals D' dargestellt. Am Phasenschieber 22' wird eine Verzögerung, die gleich 1/4 Periode des Signals S' ist, fest eingestellt. Somit ist beim Vorliegen der angestrebten Phasenlage des Datensignals D' die Phasendifferenz zwischen den Eingangssignalen des Phasendetektors 13' gleich Null. In diesem Fall stellt das Ausgangssignal des Phasendetektors 13' das Verzögerungsglied 12' auf die Mitte seines Stellbereiches, die einer Verzögerungszeit gleich einer Bitperiode (1/2 Periode des Synchronsignals S') entspricht. Ist die Phase des gesendeten Datensignals D' der Sollphase nacheilend (wie gestrichelt an der Wellenform D' gezeigt) oder voreilend, dann verkürzt oder verlängert das von Null abweichende Ausgangssignal des Phasendetektors 13' die Verzögerungszeit des regelbaren Verzögerungsgliedes im Sinne einer Kompensation der Nach- oder Voreilung.

[0037] Somit werden Phasenunterschiede zwischen den Bits der parallel gesendeten Datensignale D' genau kompensiert. Auch für diesen Kalibrierbetrieb ist Voraussetzung, dass eine deterministische Signalfolge in jedem der gesendeten Datensignale D' erscheint. Eine solche Folge kann auch hier gewünschtenfalls eigens zu Kalibrierzwecken erzeugt werden, und zwar in der Baugruppe 4 und z. B. in Form einer mit der Bitrate alternierenden Binärfolge für jedes Datensignal D', wie in Fig. 3 dargestellt. Die Steuerung der regelbaren Verzögerungsglieder 12' ist vorzugsweise ebenfalls ein- und ausschaltbar, z. B. durch gesonderte Mittel (nicht dargestellt) zur Aktivierung und Deaktivierung der Steuereingänge an diesen Gliedern und zur Verriegelung des gerade eingestellten Verzögerungsmaßes bei erfolgter Deaktivierung.

[0038] Alle anhand der Fig. 1 bis 3 beschriebenen Anordnungen sind nur Ausführungsbeispiele und können in vielfältiger Weise abgewandelt werden, ohne das Prinzip der Erfindung zu verlassen. In den Anordnungen nach den Fig. 1 und 3 können die Phasenschieber 22 bzw. 22' weggelassen werden, wenn das Synchronsignal S bzw. S' flankensynchron mit den zugeordneten Daten erzeugt wird (z. B. als Strobe-signal wie im Falle der Fig. 2). Wenn andererseits in der Anordnung nach Fig. 2 statt des dort gezeigten Strobe-signals S ein um 90° verschobenes Synchronsignal wie im Falle der Fig. 1 und 3 empfangen wird, muss der Phasenschieber 22 aus dem Latchsignalweg herausgenommen und

stattdessen vor die Referenzeingänge der Phasendetektoren 13 geschaltet werden. In allen Fällen ist es auch möglich, die Phasenschieber 22 bzw. 22' wegzulassen und deren Funktion in die einzelnen regelbaren Verzögerungsglieder 12 bzw. 12' zu integrieren. Dies kann z. B. dadurch geschehen, dass man den Stellbereich dieser Glieder entsprechend verschiebt.

[0039] Die Anordnung nach Fig. 3 kann auch dahingehend abgewandelt werden, dass man die empfangenden und/oder die sendenden Transferkanäle mit latchenden Empfangs- bzw. Sendeschaltungen versieht und die regelbaren Verzögerungsglieder zum geregelten Verzögern der Latchsignale verwendet, ähnlich wie es oben anhand der Fig. 2 beschrieben wurde.

[0040] Zusätzlich zu den D-Kanälen können auch Transferkanäle, welche synchronisierte Kommandosignale übertragen, mit entsprechenden regelbaren Verzögerungsgliedern und Phasendetektoren versehen werden, um auch die Kommandosignale zeitlich zu kalibrieren, und zwar ähnlich wie es vorstehend für die Datensignale beschrieben wurde.

[0041] Als Signalfolgen, anhand derer die Kalibrierung durchgeführt wird, können unter Umständen auch im Nutzbetrieb erscheinende Signalfolgen verwendet werden, sofern oder solange eine eindeutige Zuordnung erscheinender Signalübergänge zu der Zeitbasis möglich ist. Muss befürchtet werden, dass diese Voraussetzung nicht durchgehend gegeben ist, kann eine besondere (in den Figuren nicht dargestellte) Überwachungsschaltung vorgesehen werden, welche erkennt, wann besagte Voraussetzung tatsächlich erfüllt ist. Die Überwachungseinrichtung kann die Weitergabe eines am Ausgang eines Phasendetektors 13 bzw. 13' zwischengespeicherten und laufend aktualisierten Verzögerungs-Stellsignals an die betreffende Verzögerungseinrichtung 12 bzw. 12' blockieren, solange besagte Voraussetzung nicht erfüllt ist, und erst mittels eines Aktivierungsbefehls freigeben, nachdem sie das Vorliegen der Voraussetzung festgestellt hat. Die hierbei in Kauf zu nehmende Verspätung kann toleriert werden, denn die auszuregelnden Phasenverschiebungen finden auf einer derart großen Zeitskala statt, dass es ausreicht, die Ausregelung erst viele Perioden des Synchronsignals später wirksam werden zu lassen. Somit bleibt genügend Zeit, eine ermittelte Phasenabweichung im Phasendetektor bzw. das betreffende Stellsignal zu verworfen und nicht an das Verzögerungsglied weiterzugeben, falls keine zu Kalibrierzwecken geeignete oder überhaupt keine Signalfolge erkannt wird.

[0042] Im Falle von Datensignalen dürfen die in Fig. 1 eingezeichneten Abweichungen τ_A und τ_B eine Viertelperiode des Synchronsignals bzw. eine halbe Bitperiode nicht überschreiten. Die vorstehend erwähnte Überwachungseinrichtung kann also vorzugsweise derart ausgelegt sein, dass sie die Weitergabe des Verzögerungs-Stellsignals blockiert, wenn innerhalb eines Zeitfensters, das größer als eine Bitperiode und kleiner als zwei Bitperioden ist, nicht zwei Signalübergänge im Datensignal erkannt worden sind.

Bezugszeichenliste

- 1, 2, 3 Schnittstelle
- 4 elektronische Baugruppe
- 10 Daten-Transferkanal
- 11, 11a Daten-Empfangsschaltung
- 11' Daten-Sendeschaltung
- 12, 12' regelbares Verzögerungsglied
- 13, 13' Phasendetektor
- 20, 20' Synchronsignal-Transferkanal
- 21, 21' Synchronsignal-Empfangsschaltung
- 22, 22' Phasenschieber

- D, D' Datensignale
- S, S' Synchronsignale
- DP Daten-Pin
- SP, SP' Synchronsignal-Pin
- 5 DQ, DQ' Schaltungspunkt für Datensignal
- SQ, SQ' Schaltungspunkt für Synchronsignal

Patentansprüche

1. Anordnung zum Kalibrieren einer Schnittstelle (1; 2; 3), die parallele Transferkanäle (10; 10') zur Übertragung einer Mehrzahl von parallelen Datensignalen (D; D') und gegebenenfalls Kommandosignalen zwischen zugeordneten äußeren Anschlüssen (DP) und zugeordneten Schaltungspunkten (DQ) einer elektronischen Baugruppe (4) enthält und mindestens einen Synchronsignalanschluss (SP; SP') aufweist für ein die Zeitbasis für die parallel übertragenen Signale angegebendes Synchronsignal (S, S'), dadurch gekennzeichnet, dass ausgewählte Exemplare (10 und/oder 10') der Transferkanäle jeweils eine individuell regelbare Verzögerungseinrichtung (12; 12') enthalten zum Einstellen einer Zeitverzögerung der Signalübertragung im betreffenden Transferkanal abhängig von einem Verzögerungs-Stellsignal und dass eine Steuereinrichtung (13, 22; 13', 22') vorgesehen ist, die Mittel enthält, um in jedem ausgewählten Transferkanal (10; 10') den Istwert der relativen Phase des von der Verzögerungseinrichtung (12; 12') verzögerten Signals gegenüber dem zugeordneten begleitenden Synchronsignal (S, S') zu fühlen, und Mittel zur Erzeugung des Verzögerungs-Stellsignals abhängig vom jeweils gefühlten Istwert zum Regeln jeder der Verzögerungseinrichtungen (12; 12') im Sinne einer Angleichung des Istwertes an einen vorgegebenen gemeinsamen Sollwert.
2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass jede regelbare Verzögerungseinrichtung gebildet ist durch ein variables Verzögerungsglied (12; 12'), das in den das zu übertragende Signal (D; D') leitenden Signalweg des betreffenden Transferkanals (10; 10') eingefügt ist.
3. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass jede regelbare Verzögerungseinrichtung (z. B. 12) gebildet ist durch ein variables Verzögerungsglied in einer Latchsignalleitung, über welche eine Latchschaltung (11a) synchronisiert wird, die das zu übertragende Signal (D) durch den betreffenden Transferkanal (z. B. 10) schleust.
4. Anordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass jeder ausgewählte Transferkanal (10; 10') einen gesonderten Phasendetektor (13; 13') enthält, dessen Signaleingang zum Empfang des von der zugeordneten regelbaren Verzögerungseinrichtung (12; 12') verzögerten Signals angeschlossen ist und dessen Referenzeingang zum Empfang des zugeordneten Synchronsignals (S, S') angeschlossen ist und der an seinem Ausgang ein Fühlsignal erzeugt, welches das Maß und die Richtung der Zeitverschiebung zwischen Flanken seiner beiden Eingangssignale anzeigt und dem Verzögerungssteeureingang der betreffenden Verzögerungseinrichtung (12; 12') angelegt ist.
5. Anordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die ausgewählten Transferkanäle (10) diejenigen sind, welche empfangene Signale von den äußeren Anschlüssen (DP) an die Baugruppe (4) übertragen.
6. Anordnung nach Anspruch 5, dadurch gekennzeichnet,

net, dass die ausgewählten Transferkanäle (10 und 10') auch diejenigen sind, welche zu sendende Signale von der Baugruppe (4) an die äußeren Anschlüsse (DP) übertragen.

7. Anordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Steuereinrichtung ferner enthält:

ine Speichereinrichtung zum Zwischenspeichern der erzeugten Verzögerungs-Stellsignale;

eine Überwachungseinrichtung, welche die über die ausgewählten Transferkanäle zu übertragenden Signale überwacht und einen Aktivierungsbefehl erzeugt, wenn in diesen Signalen Übergänge erscheinen, die der Zeitbasis eindeutig zuzuordnen sind;

eine Schalteinrichtung, welche ein zwischengespeichertes Verzögerungs-Stellsignal nur dann an die betreffende Verzögerungseinrichtung (12; 12') legt, wenn die Überwachungseinrichtung einen Aktivierungsbefehl erzeugt.

8. Anordnung nach Anspruch 7, dadurch gekennzeichnet, dass die Überwachungseinrichtung für zu übertragende binäre Datensignale den Aktivierungsbefehl erzeugt, wenn in diesen Signalen innerhalb eines Zeitfensters, das größer als eine Bitperiode und kleiner als zwei Bitperioden ist, zwei Binärübergänge auftreten.

9. Kalibrierverfahren unter Verwendung einer Anordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet,

dass vor Beginn eines Nutzbetriebs der Schnittstelle oder in Pausen des Nutzbetriebs die Steuereinrichtung vorübergehend eingeschaltet wird

und dass die Quelle, welche die über die ausgewählten Transferkanäle zu übertragenden Signale liefert, während des eingeschalteten Zustandes der Steuereinrichtung veranlasst wird, diese Signale jeweils als ein Mustersignal mit Signalübergängen zu erzeugen, die der Zeitbasis eindeutig zuzuordnen sind.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, dass als Mustersignal eine periodische Binärfolge erzeugt wird.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die periodische Binärfolge eine bitweise alternierende Binärfolge ist.

12. Verfahren nach Anspruch 9, dadurch gekennzeichnet, dass als Mustersignal eine Pseudo-Zufallsfolge von Binärwerten erzeugt wird.

13. Kalibrierverfahren unter Verwendung einer Anordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass während des Nutzbetriebs der Schnittstelle die Steuereinrichtung zumindest vorübergehend aktiviert wird.

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass während des Nutzbetriebs der Schnittstelle die Steuereinrichtung für Exemplare der ausgewählten Transferkanäle aktiviert gehalten wird, jedoch ein dabei erzeugtes Verzögerungs-Stellsignale nur dann an die betreffende Verzögerungseinrichtung gelegt wird, wenn in dem über den betreffenden Transferkanal zu übertragenden Signal Übergänge auftreten, die der Zeitbasis eindeutig zuzuordnen sind.

15. Kalibrierverfahren unter Verwendung einer Anordnung nach Anspruch 7 oder 8, dadurch gekennzeichnet, dass die Anordnung während des Nutzbetriebs der Schnittstelle in Betrieb gehalten wird.

FIG 1

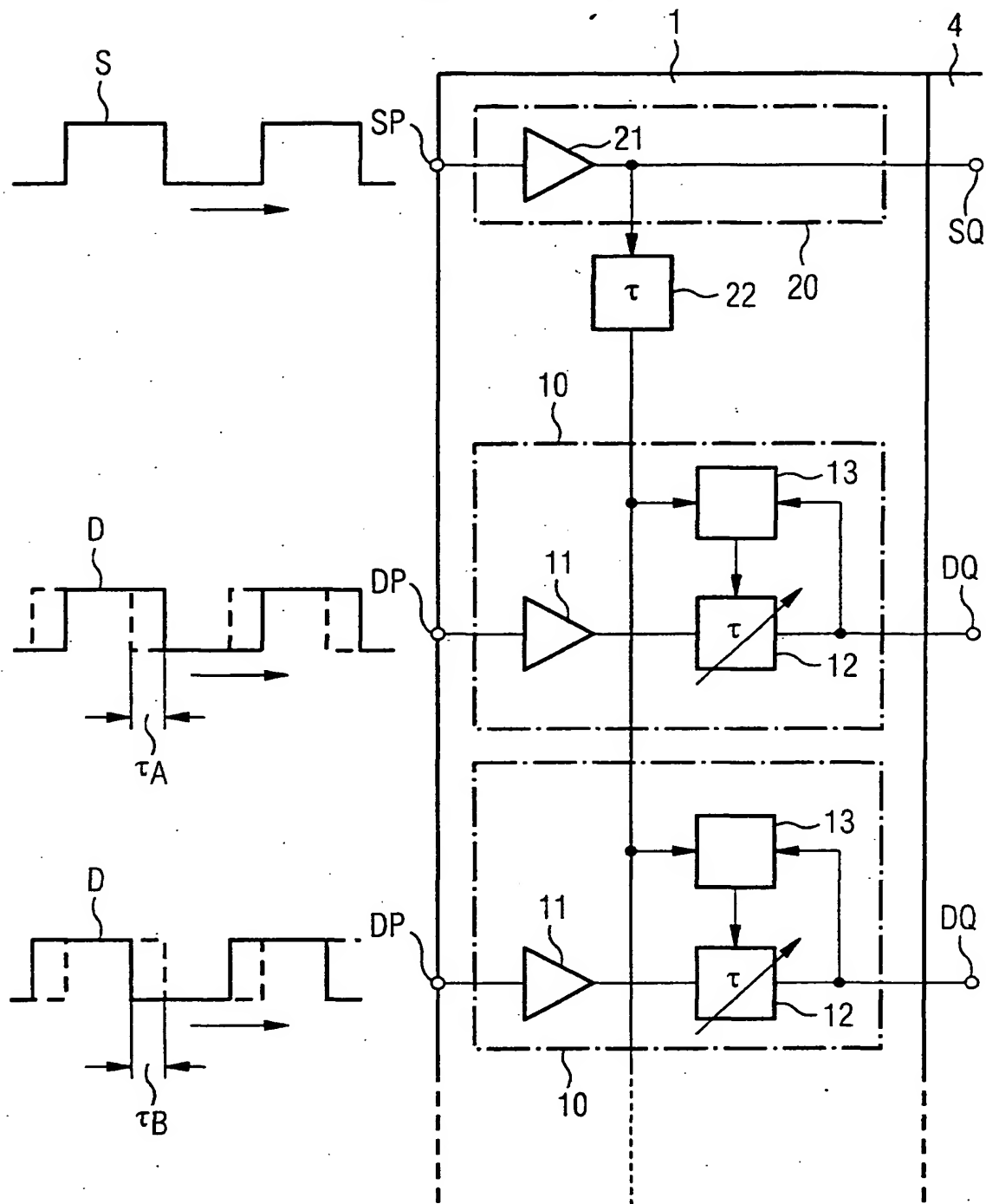


FIG 2

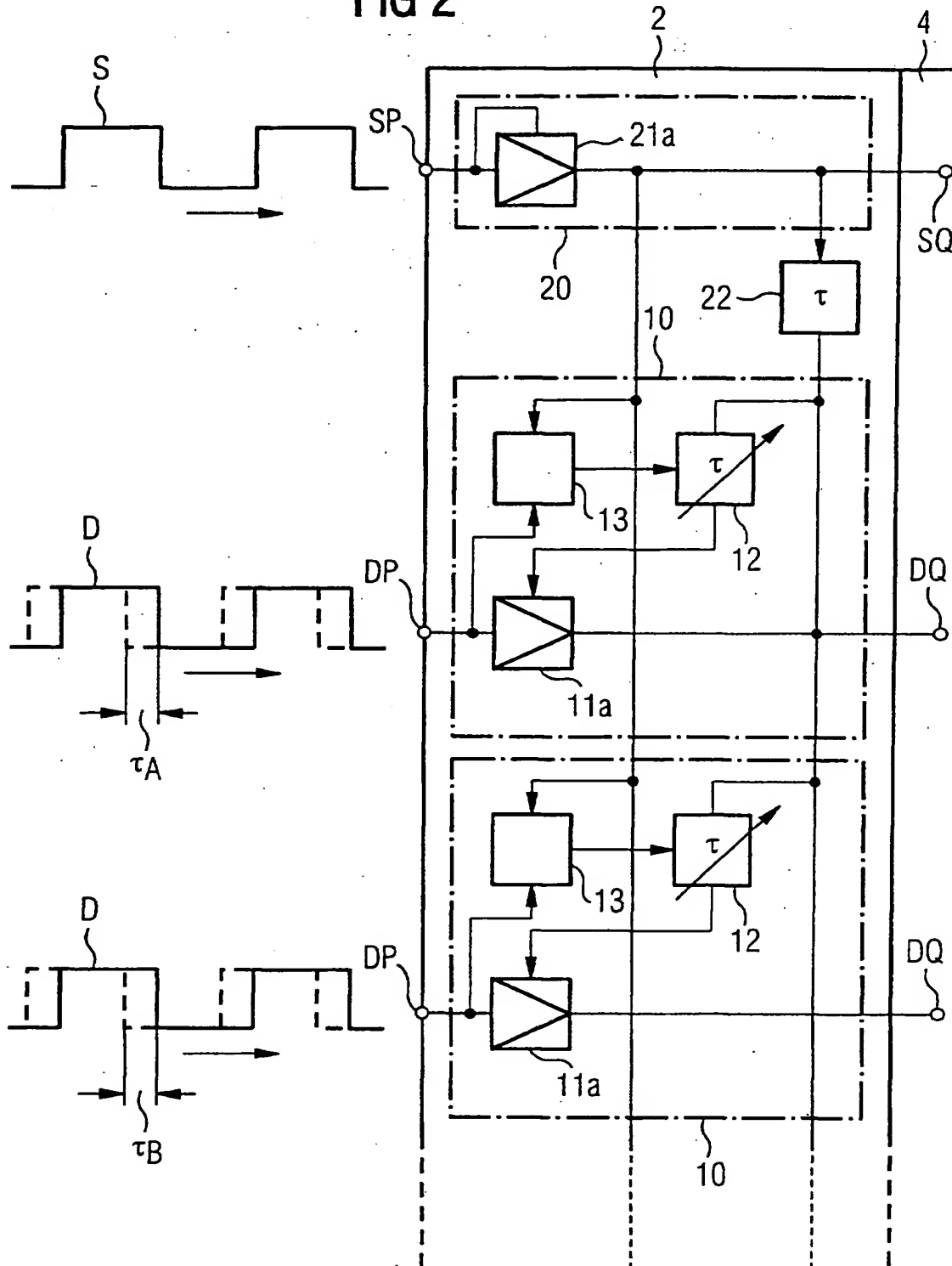
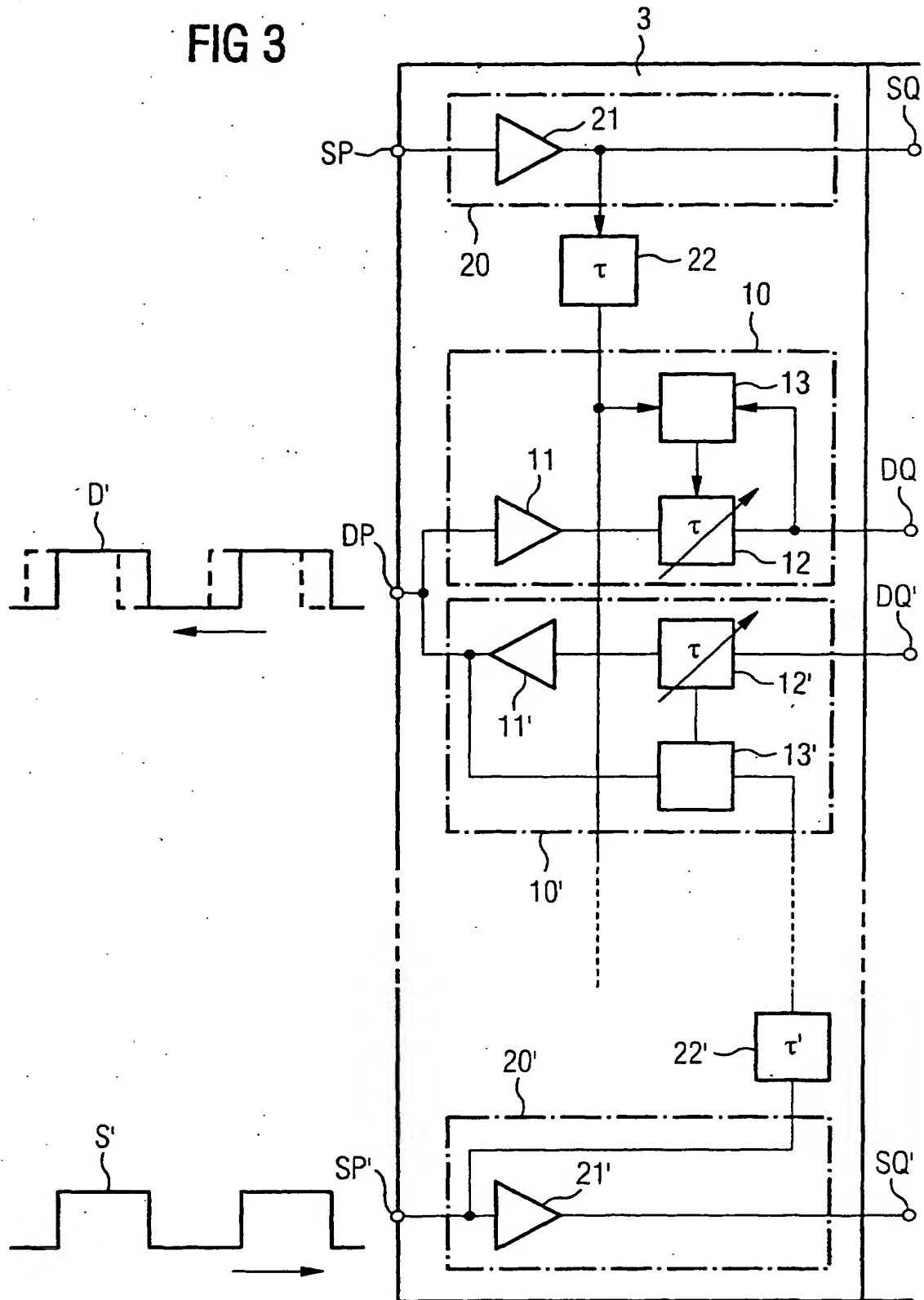


FIG 3



Configuration and method for calibrating an interface for multichannel synchronized data transmission

Patent Number: US2002018537
Publication date: 2002-02-14
Inventor(s): ZIELBAUER JURGEN (DE)
Applicant(s):
Requested Patent: DE10037477
Application Number: US20010920101 20010801
Priority Number(s): DE20001037477 20000801
IPC Classification: H04L23/00
EC Classification: H04L25/14
Equivalents:

Abstract

The invention relates to an interface with parallel transfer channels for transmission of a number of parallel data signals and, possibly, command signals between associated outer connections and associated circuit points in an electronic assembly. A synchronization signal connection carries a synchronization signal indicating the time base for the parallel-transmitted signals. Selected examples of the transfer channels each contain an individually controllable delay device for setting a time delay for a signal transmission in the relevant transfer channel. Furthermore, a control device is provided in order to sense, in each selected transfer channel, the actual value of the relative phase of the data signal with respect to the associated, accompanying synchronization signal, and to control each of the delay devices as a function of the respectively sensed actual value, in the sense of matching the actual value to a predetermined, common nominal value

Data supplied from the esp@cenet database - I2

TECHNICAL
INFORMATION
ABSTRACT
LEVER AND
RO. 240
HOTTWOOD, FLORIDA 32002
TEL. (954) 552-1100

DOCKET NO: MUH-12827

SERIAL NO: _____

APPLICANT: G. Braun et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100